

Japanese Patent Laid-open No. HEI 2-234544 A

Publication date : September 17, 1990

Applicant : Fujitsu Limited

Title : TIME DIVISION MULTIPLE DATA PACKET SWITCHING CIRCUIT

5

(57) [Scope of Claims]

[Claim 1] A time division multiple data packet switching circuit comprising:

means for storing circuit information for storing the
10 information concerning the position of each circuit on the time division multiplexed transmission passage,

first data storing means for storing the time division multiple data introduced via the transmission passage,

first writing controlling means for carrying out control
15 for storing the introduced time division multiple data in the region corresponding to each circuit of the first data storing means,

priority determining means for determining the priority for preparing the packet in accordance with the data volume
20 corresponding to each circuit stored in the first data storing means and the information concerning the position of each circuit,

first reading control means for carrying out control for reading the relevant data of the first data storing means in
25 conformity to the priority determined by the priority

determining means, and

packet preparing means for preparing a packet by adding a specified header section to the data read by the first reading control means.

5

(ii) Switching to the TDM data

Next discussion will be made on the operation for preparing the TDM data in conformity to the receiving packet and sending out to the TDM bus 291.

10 First of all, the receiving packet is introduced into the separation section 241 and separation of the header section from the information section takes place. The separated header section is sent to the receiving packet header processing section 249 and the information section to the receiving PKT
15 switch 243, respectively. At the receiving packet header processing section 249, the header section supplied is analyzed and the corresponding channel number is extracted and notified to the receiving buffer write control section 251. The receiving buffer write control section 251 controls the data
20 distribution by the receiving PKT switch 243 in conformity to the channel number notified. In addition, it sends the write direction to the receiving buffer memory 245 and stores the data of the information section supplied from the receiving PKT switch 243 in a specified region.

25 In this way, the data contained in the receiving packet

is stored in each region corresponding to the channel of the receiving buffer memory 245.

The receiving buffer deep control section 263 detects the data volume corresponding to the channel stored in the receiving
5 buffer memory 245 and judges whether this data volume exceeds or not the specified value for guaranteeing the synchronized continuous communication corresponding to each channel. From the TDM control section 283, the channel number is supplied, and if the accumulated data volume corresponding to this channel
10 number exceeds the specified value, the read enable of this channel is given to the receiving buffer read control section 261.

The receiving buffer read control section 261 controls reading of the data stored in the receiving buffer memory 245
15 corresponding to the channel number if the channel number is supplied from the TDM control section 283 and the read enable corresponding to this channel number is supplied from the receiving buffer deep control section 263. The receiving buffer read control section 261 sends the read direction to
20 the receiving buffer memory 245 and reads the relevant channel data and simultaneously controls the receiving TDM switch 247 and sends out the data read out from the receiving buffer memory 245 to the TDM bus 291.

Fig. 5 shows a specific example for achieving the PKT/TDM
25 switching section 240 shown in Fig. 2. Fig. 5 shows an example

in which the switching actions of the receiving PKT switch 243 and the receiving TDM switch 247 shown in Fig. 2 are achieved by the address specification by the write address generating section 511 and read address generating section 521. The same
5 reference numerals in Fig. 2 and Fig. 5 designate the same composing sections.

In Fig. 5, the write address generating section 511 prepares the write address of the receiving buffer memory 245 in conformity to the channel number outputted from the receiving
10 packet header processing section 249. The address of the receiving buffer memory 245 is specified by the write address outputted from the write address generating section 511, and the data supplied to the data input terminal DI is stored in accordance with the write pulse supplied from the receiving
15 buffer write control section 251 to the write enable terminal WE.

Simultaneously, the read address generating section 521 prepares the read-out address of the receiving buffer memory 245 in conformity to the channel number outputted from the
20 TDM control section 283. By the read-out address outputted from the read address generating section 521, the address of the receiving buffer memory 245 is designated, and in conformity to the read pulse supplied from the receiving buffer read control section 261 to the output enable terminal OE, the storage data
25 is outputted from the data output terminal DO.

The write address prepared at the write address generating section 511 and the read address prepared at the read address generating section 521 are inputted to the address selector 531 and either one of them is supplied to the address terminal 5 ADD of the receiving buffer memory 245.

In addition, at the receiving buffer deep control section 263, the accumulated data volume is calculated in conformity to these write addresses and read addresses in units of channel numbers supplied from the TDM control section 283.

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2755983号

(45)発行日 平成10年(1998) 5 月25日

(24)登録日 平成10年(1998) 3 月 6 日

(51)Int.Cl.⁶

H 0 4 L 12/56

識別記号

F I

H 0 4 L 11/20

1 0 2 F

請求項の数1 (全 12 頁)

(21)出願番号 特願平1-55558

(22)出願日 平成1年(1989) 3 月 8 日

(65)公開番号 特開平2-234544

(43)公開日 平成2年(1990) 9 月17日

審査請求日 平成5年(1993) 9 月16日

(73)特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1
番1号

(72)発明者 梶原 隆治

福岡県福岡市博多区博多駅前1丁目5番
1号 富士通九州デジタル・テクノロ
ジ株式会社内

(72)発明者 松永 浩二

福岡県福岡市博多区博多駅前1丁目5番
1号 富士通九州デジタル・テクノロ
ジ株式会社内

(74)代理人 弁理士 古谷 史旺

審査官 伏本 正典

最終頁に続く

(54)【発明の名称】 時分割多重データーケット変換回路

1

(57)【特許請求の範囲】

【請求項1】時分割多重化された伝送路上の各回線の位置に関する情報を格納する回線情報格納手段と、前記伝送路を介して導入される時分割多重データを格納する第1データ格納手段と、導入された前記時分割多重データを、前記第1データ格納手段の前記各回線に対応した領域に格納する制御を行う第1書き込み制御手段と、前記第1データ格納手段に格納されている前記各回線対応のデータ量と、前記各回線の位置に関する情報とに応じてパケット作成の優先順位を決定する優先順位決定手段と、前記優先順位決定手段で決定された優先順位に基づいて前記第1データ格納手段の該当データを読み出す制御を行う第1読み出し制御手段と、

2

前記第1読み出し制御手段によって読み出されたデータに所定のヘッダ部を付加してパケットを作成するパケット作成手段と、を備えるように構成したこと
を特徴とする時分割多重データーケット変換回路。

【発明の詳細な説明】

【目次】

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

1. 実施例と第1図との対応関係

II. 実施例の構成及び動作

(i) バケットへの変換

(ii) TDMデータへの変換

III. 実施例のまとめ

IV. 発明の変形態様

発明の効果

〔概 要〕

バケット通信を行なう高速LAN等に時分割データを扱う端末装置を収容するときの時分割多重データーバケット変換回路に関し、

時分割多重データとバケットデータとを効率良く変換することを目的とし、

伝送路上の各回線の位置に関する情報を格納する回線情報格納手段と、時分割多重データを格納する第1データ格納手段と、このデータの格納を制御する第1書き込み制御手段と、バケット作成の優先順位を決定する優先順位決定手段と、第1データ格納手段の該当データを読み出す制御を行なう第1読み出し制御手段と、ヘッダ部を付加してバケットを作成するバケット作成手段とを備えるように構成する。

〔産業上の利用分野〕

本発明は、バケット通信を行なう高速LAN等に時分割データを扱う端末装置を収容するときの時分割多重データーバケット変換回路に関するものである。

〔従来の技術〕

近年、高速LAN等の普及に伴い、基幹系伝送路が高速大容量化しており、この基幹系にバケット通信を採用する通信システムが増えつつある。バケット通信は、会話等のような即時性を要求されない端末装置間の通信に適しており、伝送路の使用効率を高めることができる。

一方、伝送路（バス）に複数の端末装置を収容し、時分割多重化されたデータ伝送を行なう通信方式がある。同期連続通信を行なう中低速データを効率良く多重化できる利点があり、従来から汎用されている。この伝送単位となるフレームは複数のタイムスロットで構成され、各端末装置間の通信単位となるチャネルはこの1つあるいは複数のタイムスロットを固定的に割り当てる。例えば1タイムスロットが64Kbpsに対応しているものとする、64Kbps以下の通信速度を有するチャネルには1つのタイムスロットを割り当てる。また、64Kbps×nの通信速度を有するチャネルにはn個のタイムスロットを割り当てる。

〔発明が解決しようとする課題〕

ところで、上述したように、バケット通信は伝送路の使用効率を上げることができ、時分割多重通信は端末装置を効率良く収容することができる。従って、基幹系についてはバケットでデータを伝送し、端末装置の収容は時分割多重バス上で行なうことができれば、通信システムの構築が容易であると共に通信量の増大に対応できることになるため、時分割多重データとバケットデータと

を効率良く変換する方式が望まれていた。

本発明は、このような点にかんがみて創作されたものであり、時分割多重データとバケットデータとを効率良く変換することができる時分割多重データーバケット変換回路を提供することを目的としている。

〔課題を解決するための手段〕

(i) 請求項1の発明

第1図は、請求項1の時分割多重データーバケット変換回路の原理ブロック図である。

図において、回線情報格納手段111は、時分割多重化された伝送路上の各回線の位置に関する情報を格納する。

第1データ格納手段113は、伝送路を介して導入される時分割多重データを格納する。

第1書き込み制御手段115は、導入された時分割多重データを、第1データ格納手段113の各回線に対応した領域に格納する制御を行なう。

優先順位決定手段117は、第1データ格納手段113に格納されている各回線対応のデータ量と、各回線の位置に関する情報とに応じてバケット作成の優先順位を決定する。

第1読み出し制御手段119は、優先順位決定手段117で決定された優先順位に基づいて第1データ格納手段113の該当データを読み出す制御を行なう。

バケット作成手段121は、第1読み出し制御手段119によって読み出されたデータに所定のヘッダ部を付加してバケットを作成する。

従って、全体として、時分割多重データをバケットに変換するように構成されている。

〔作 用〕

(i) 請求項1の発明

伝送路を介して導入された時分割多重データは、第1書き込み制御手段115の制御によって第1データ格納手段113の各回線対応の領域に格納される。この第1データ格納手段113に格納されたデータは、優先順位決定手段117によって決定された優先順位に従って、第1読み出し制御手段119の制御によって読み出され、バケット作成手段121でヘッダ部が付加されバケットが作成される。

請求項1の発明にあっては、時分割多重データを第1データ格納手段113の回線対応の領域に格納し、バケット化の優先順位に従って順次データを読み出して、バケットの作成が行なわれる。

〔実施例〕

以下、図面に基づいて本発明の実施例について詳細に説明する。

第2図は、請求項1記載の発明の一実施例における時分割多重データーバケット変換回路の構成を示す。

1. 実施例と第1図との対応関係

ここで、請求項1記載の発明の一実施例と第1図との

対応関係を示しておく。

回線情報格納手段111は、TDMコントロール部283に相当する。

第1データ格納手段113は、送信バッファメモリ213に相当する。

第1書き込み制御手段115は、送信バッファライトコントロール部219、送信TDMスイッチ211に相当する。

優先順位決定手段117は、送信パケット決定部225に相当する。

第1読み出し制御手段119は、送信PKTスイッチ215、送信バッファリードコントロール部221に相当する。

パケット作成手段121は、多重部217、パケットヘッダ作成部223に相当する。

ヘッダ解析手段151は、受信パケットヘッダ処理部249に相当する。

第2データ格納手段153は、受信バッファメモリ245に相当する。

第2書き込み制御手段155は、受信PKTスイッチ243、受信バッファライトコントロール部251に相当する。

格納量検出手段157は、受信バッファディープコントロール部263に相当する。

第2読み出し制御手段159は、受信TDMスイッチ247、受信バッファリードコントロール部261に相当する。

以上のような対応関係があるものとして、以下請求項1記載の発明の実施例について説明する。

11. 実施例の構成及び動作

第2図において、実施例の時分割多重データパケット変換回路は、時分割多重（TDM）データをパケット（PKT）に変換するTDM/PKT変換部210と、反対にパケットをTDMデータに変換するPKT/TDM変換部240と、TDMバス291上の各回線（チャンネル）の位置に関する情報に基づいてTDMバス291に関する制御情報を作成するTDMカウンタ281及びTDMコントロール部283とを備えている。

また、TDM/PKT変換部210は、TDMデータをチャンネル別に振り分ける送信TDMスイッチ211と、各チャンネル対応の領域にTDMデータを格納する送信バッファメモリ213と、各チャンネル単位で送信バッファメモリ213の格納データを読み出す送信PKTスイッチ215と、送信バッファメモリ213から読み出したデータにヘッダ部を付加してパケットを作成する多重部（MUX）217と、送信バッファメモリ213へのデータの書き込みを制御する送信バッファライトコントロール部219と、送信バッファメモリ213からのデータの読み出しを制御する送信バッファリードコントロール部221と、パケットのヘッダ部を作成するパケットヘッダ作成部223と、送信バッファメモリ213から読み出すデータの優先順位を決定する送信パケット決定部225とを備えている。

更に、PKT/TDM変換部240は、パケットに含まれるヘッダ部と情報部との分離を行なう分離部（DMUX）241と、情報部のデータをチャンネル別に振り分ける受信PKTス

ッチ243と、各チャンネル対応の領域にデータを格納する受信バッファメモリ245と、各チャンネル単位で受信バッファメモリ245の格納データを読み出す受信TDMスイッチ247と、パケットのヘッダ部の解析を行なう受信パケットヘッダ処理部249と、受信バッファメモリ245へのデータの書き込みを制御する受信バッファライトコントロール部251と、受信バッファメモリ245からのデータの読み出しを制御する受信バッファリードコントロール部261と、受信バッファメモリ245に格納されているチャンネル単位のデータ量を検出する受信バッファディープコントロール部263とを備えている。

TDMカウンタ281は、TDMバス291上のチャンネルの位置（例えばタイムスロット位置）を示すTDMアドレスを生成すると共に、TDM/PKT変換部210及びPKT/TDM変換部240の各構成部で使用するタイミング信号を出力する。

TDMコントロール部283は、このTDMカウンタ281から出力されるTDMアドレスに対応した情報として、チャンネルを識別するためのチャンネル番号、該当チャンネルの通信速度に関するチャンネル速度、TDMアドレスに対応するチャンネルの使用、未使用を示す有効表示情報等を収めたテーブルを有している。

（i）パケットへの変換

以下、TDMバス291上のTDMデータをパケットに変換する動作について説明する。

まず、TDMバス291を介したTDMデータが送信TDMスイッチ211に導入され、チャンネル対応の振り分けが行なわれる。

このTDMデータの供給動作に同期してTDMカウンタ281からTDMコントロール部283に、対応するTDMアドレスが供給され、更にTDMコントロール部283から送信バッファライトコントロール部219にこのTDMアドレスに対応したチャンネル番号及び有効表示情報が供給される。

送信バッファライトコントロール部219は、TDMコントロール部283から供給されるチャンネル番号に基づいて送信TDMスイッチ211によるデータの振り分けを制御する。また、送信バッファライトコントロール部219は、送信バッファメモリ213に書き込み指示を送り、送信TDMスイッチ211から供給されるTDMデータを所定の領域に格納する。

このようにして、TDMバス291を介して供給される各TDMデータは、送信バッファメモリ213のチャンネル対応の各領域に格納される。

送信パケット決定部225は、送信バッファメモリ213に蓄積されているチャンネル対応のデータ量を検出し、パケット化が可能なデータ量であるか否かの判定を行なっている。TDMコントロール部283から送信パケット決定部225に該当チャンネルに関する情報（チャンネル番号、チャンネル速度）が供給されており、蓄積データ量が大きくかつ供給されるデータの増加量が大きなチャンネルに高い優先順位を割り当てる制御を行なう。

送信パケット決定部225で優先順位が最も高いと判断されたチャンネルのチャンネル番号が送信バッファリードコントロール部221及びパケットヘッダ作成部223に通知される。送信バッファリードコントロール部221では、このチャンネル番号に対応して送信バッファメモリ213に格納されているデータを読み出す制御を行なう。送信バッファメモリ213に読み出し指示を送って該当チャンネルのデータを読み出すと共に、送信PKTスイッチ215を制御して送信バッファメモリ213から読み出されたデータを多重部217の一方の入力端に供給する。

また、パケットヘッダ作成部223では、供給されるチャンネル番号に対応したヘッダ部を作成して、多重部217の他方の入力端に供給する。例えば、パケットヘッダ作成部223では、各チャンネル番号とヘッダ部とを関係づけたテーブルを内部に有しており、このテーブルを検索して該当するヘッダ部を出力する。

多重部217は、送信PKTスイッチ215を介して供給された各チャンネルのデータに、パケットヘッダ作成部223から供給されたヘッダ部を多重してパケットを作成し、送信パケットとして出力する。

第3図に、第2図に示したTDM/PKT変換部210を実現するための具体例を示す。第3図は、第2図に示した送信TDMスイッチ211及び送信PKTスイッチ215のスイッチング動作を、ライトアドレス発生部311及びリードアドレス発生部321のアドレス指定によって実現した例を示している。尚、第3図と第2図との同一符号は同一の構成部を表している。

第3図において、ライトアドレス発生部311は、TDMコントロール部283から出力されるチャンネル番号に基づいて、送信バッファメモリ213の書き込みアドレスを作成する。ライトアドレス発生部311から出力される書き込みアドレスによって送信バッファメモリ213のアドレス指定が行なわれ、送信バッファライトコントロール部219からライトイネーブル端子WEに供給されるライドパルスに応じて、データ入力端子DIに供給されるTDMデータの格納が行なわれる。

同様に、リードアドレス発生部321は、送信パケット決定部225から出力されるチャンネル番号に基づいて、送信バッファメモリ213の読み出しアドレスを作成する。リードアドレス発生部321から出力される読み出しアドレスによって送信バッファメモリ213のアドレス指定が行なわれ、送信バッファリードコントロール部221から出力イネーブル端子OEに供給されるリードパルスに応じて、データ出力端子DOから格納データが出力される。

尚、ライトアドレス発生部311で作成された書き込みアドレスとリードアドレス発生部321で作成された読み出しアドレスはアドレスセクタ331に入力されており、何れか一方が送信バッファメモリ213のアドレス端子ADDIに供給される。

また、第4図に、送信パケット決定部225の詳細な構

成例を示す。

図において、送信パケット決定部225は、演算部411、ラッチ部413、2つの比較器415、417、2つのアンドゲート431、433、オアゲート441、ナンドゲート451を備えている。

演算部411は、送信バッファメモリ213の蓄積データ量を計算するものであり、ライトアドレス発生部311から供給される書き込みアドレスとリードアドレス発生部321から供給される読み出しアドレスの差分を算出し、算出結果である蓄積データ量を出力する。

10 また、ラッチ部413には、入力データ（演算部411から出力される蓄積データ量とTDMコントロール部283から供給されるチャンネル（CH）番号、チャンネル速度）を保持するためのものであり、優先順位が最も高いチャンネルに関する入力データが保持される。

比較器415、417、アンドゲート431及びオアゲート441で優先度比較が行なわれている。比較器417の入力端子AにはTDMコントロール部283から供給されるチャンネル速度が入力され、他方の入力端子Bにはラッチ部413に保持されているチャンネル速度が入力される。比較器417は、これらの2入力の比較を行ない、入力端子Aの値の方が大きいときに、オアゲート441、アンドゲート433、ナンドゲート451を介して、ラッチ指示をラッチ部413に送り、ラッチ部413の保持データ更新が行なわれる。また、比較器417の2入力の値が等しいときには、比較器415によって、TDMコントロール部283から出力されるチャンネル番号に対応したチャンネルの蓄積データ量（演算部411の出力）と、ラッチ部413に格納されている蓄積データ量とを比較し、演算部411の出力の方が大きい場合に限り、ラッチ部413の更新を行なう。

30 このようにして、速度を最優先条件とした優先度比較によって、1つのチャンネルが決定され、そのチャンネル番号がラッチ部413に保持される。このラッチ部413に保持されたチャンネル番号は、フリップフロップ（FF）423を介して送信パケット決定部225から出力される。

また、フラグセット部421は、送信バッファメモリ213からのデータの読み出しが可能か否かを表す送信フラグを作成するためのものであり、TDMデータの1周期毎にリセットが行なわれ（例えば1周期毎にTDMカウンタ281から供給されるタイミング信号FHTMIによってリセットされる）、ラッチ部413の保持動作に同期してセットが行なわれる。リードアドレス発生部321、送信バッファリードコントロール部221、パケットヘッダ作成部223は、このフラグセット部421から出力される送信フラグを参照して、パケット作成に関する動作を開始する。

(ii) TDMデータへの変換

次に、受信パケットに基づいてTDMデータを作成してTDMバス291に送出する動作について説明する。

50 先ず、受信パケットが分離部241に導入され、ヘッダ部と情報部との分離が行なわれる。分離されたヘッダ部は受信パケットヘッダ処理部249に、情報部は受信PKTス

スイッチ243にそれぞれ送られる。受信バケットヘッダ処理部249では、供給されるヘッダ部を解析して対応するチャンネル番号を抽出し、受信バッファライトコントロール部251に通知する。受信バッファライトコントロール部251は、通知されたチャンネル番号に基づいて受信PKTスイッチ243によるデータの振り分けを制御する。また、受信バッファメモリ245に書き込み指示を送り、受信PKTスイッチ243から供給される情報部のデータを所定の領域に格納する。

このようにして、受信バケットに含まれるデータが、受信バッファメモリ245のチャンネル対応の各領域に格納される。

受信バッファディープコントロール部263は、受信バッファメモリ245に蓄積されているチャンネル対応のデータ量を検出し、このデータ量が各チャンネルに対応した同期連続通信を保障するための規定値を越えているか否かを判定する。TDMコントロール部283からチャンネル番号が供給され、このチャンネル番号に対応した蓄積データ量が所定値を越えているときに、このチャンネルの読み出し許可を受信バッファリードコントロール部261に与える。

受信バッファリードコントロール部261は、TDMコントロール部283からチャンネル番号が供給され、このチャンネル番号に対応した読み出し許可を受信バッファディープコントロール部263から供給されているときに、このチャンネル番号に対応して受信バッファメモリ245に格納されているデータを読み出す制御を行なう。受信バッファメモリ245に読み出し指示を送って該当チャンネルのデータを読み出すと共に、受信TDMスイッチ247を制御して受信バッファメモリ245から読み出されたデータをTDMバス291に送出する。

第5図に、第2図に示したPKT/TDM変換部240を実現するための具体例を示す。第5図は、第2図に示した受信PKTスイッチ243及び受信TDMスイッチ247のスイッチング動作を、ライトアドレス発生部511及びリードアドレス発生部521のアドレス指定によって実現した例を示している。尚、第2図と第5図との同一符号は同一の構成部を表している。

第5図において、ライトアドレス発生部511は、受信バケットヘッダ処理部249から出力されるチャンネル番号に基づいて、受信バッファメモリ245の書き込みアドレスを作成する。ライトアドレス発生部511から出力される書き込みアドレスによって受信バッファメモリ245のアドレス指定が行なわれ、受信バッファライトコントロール部251からライトイネーブル端子WEに供給されるライトパルスに応じて、データ入力端子DIに供給されるデータの格納が行なわれる。

同様に、リードアドレス発生部521は、TDMコントロール部283から出力されるチャンネル番号に基づいて、受信バッファメモリ245の読み出しアドレスを作成する。リードアドレス発生部521から出力される読み出しアドレ

スによって受信バッファメモリ245のアドレス指定が行なわれ、受信バッファリードコントロール部261から出力イネーブル端子OEに供給されるリードパルスに応じて、データ出力端子DOから格納データが出力される。

尚、ライトアドレス発生部511で作成された書き込みアドレスとリードアドレス発生部521で作成された読み出しアドレスはアドレスセレクト531に入力されており、何れか一方が受信バッファメモリ245のアドレス端子ADDに供給される。

10 更に、受信バッファディープコントロール部263では、TDMコントロール部283から供給されるチャンネル番号単位で、これらの書き込みアドレスと読み出しアドレスとに基づいた蓄積データ量の算出を行なっている。

III. 実施例のまとめ

このように、TDMデータをバケットに変換する場合、まず、TDMコントロール部283の制御によってチャンネル毎のデータの書き込みが行なわれる。送信バケット決定部225は、送信バッファメモリ213のチャンネル単位の蓄積データ量とチャンネル速度にもとづいて、バケット化を行なう優先順位を決定する。送信バケット決定部225によってバケット化を行なうチャンネル番号が決定されると、このチャンネルのデータが送信バッファリードコントロール部221の制御によって読み出され、ヘッダ部を付加してバケットが作成される。

従って、異なる通信速度を有する各チャンネルのデータを送信バッファメモリ213に格納し、バケット化の優先順位に応じたデータの順次読み出しを行なうことにより、効率良い送信バケットへの変換が可能になる。

また、バケットをTDMデータに変換する場合、受信バケットヘッダ処理部249によって受信バケットのベッダ部の解析が行なわれ、対応するチャンネルの識別が行なわれる。次に、受信バッファライトコントロール部251の制御によってチャンネル毎のデータの書き込みが行なわれる。受信バッファディープコントロール部263は、受信バッファメモリ245の蓄積データ量に基づいて同期連続通信が可能であるか否かを判定し、可能である場合に受信バッファメモリ245からデータが読み出され、TDMバス291に送出される。

40 従って、バケットのヘッダ部に基づいて対応するチャンネルを認識して各チャンネルのデータを受信バッファメモリ245に格納し、同期連続通信が可能なデータ量になったときにデータの読み出しを行なうことにより、効率良いTDMデータへの変換が可能になる。

IV. 発明の変形態様

50 なお、上述した請求項1記載の発明の実施例の送信バケット決定部225においては、通信速度を最優先条件としているが、データ蓄積量や他の条件を優先させる場合には、優先度比較部を変更することで簡単に対応することができる。また、この優先度比較をTDMデータの1周期毎に行なっているが、バケット送出後すぐに次のバケ

11

ットを送出する場合にはタイミング信号FHTMを変更すればよい。更に、送信チャネル番号のデータが有効か無効かを送信フラグで示すようにしたが、無効な場合には特定コード（例えば全ビット“1”）をチャネル番号とすることで判定するようにしてもよい。

また、「1.実施例と第1図との対応関係」において、請求項1記載の発明と実施例との対応関係を説明しておいたが、これに限られることはなく、請求項1記載の発明には各種の変形態様があることは当業者であれば容易に推考できるであろう。

【発明の効果】

上述したように、請求項1の発明によれば、時分割多重データを第1データ格納手段の回線対応の領域に格納し、バケット化の優先順位に従って順次データを読み出してバケットを作成することにより、時分割多重データからバケットへの効率良い変換が可能になる。

【図面の簡単な説明】

第1図は請求項1記載の発明の時分割多重データーバケット変換回路の原理ブロック図、

12

第2図は請求項1記載の発明の一実施例による時分割多重データーバケット変換回路の構成図、

第3図は一実施例の構成図、

第4図は一実施例の送信バケット決定部の詳細構成図、

第5図は請求項1に記載する発明に関連する技術の説明図である。

図において、

111は回線情報格納手段、

113は第1データ格納手段、

10 115は第1書き込み制御手段、

117は優先順位決定手段、

119は第1読み出し制御手段、

121はバケット作成手段、

151はヘッダ解析手段、

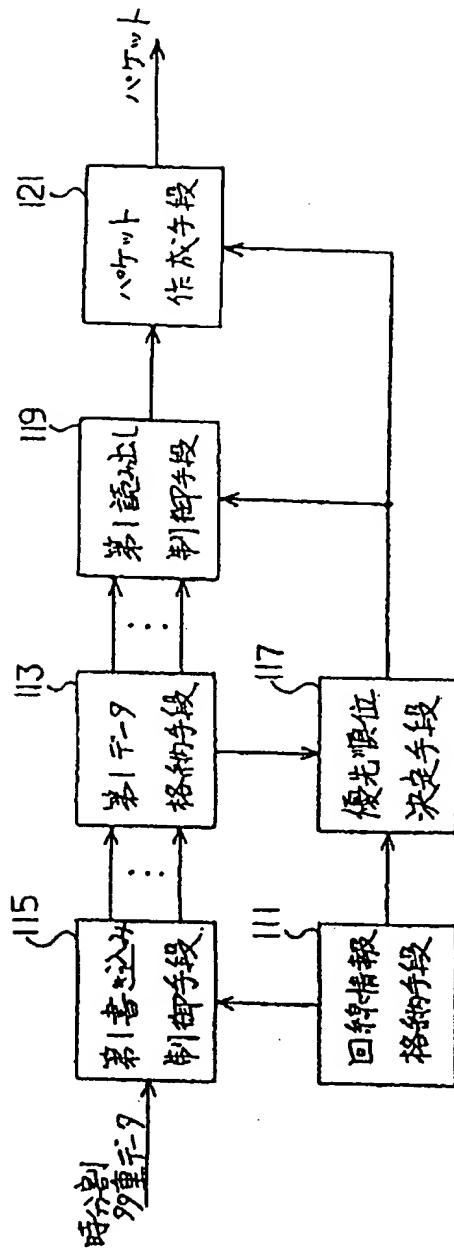
153は第2データ格納手段、

155は第2書き込み制御手段、

157は格納量検出手段、

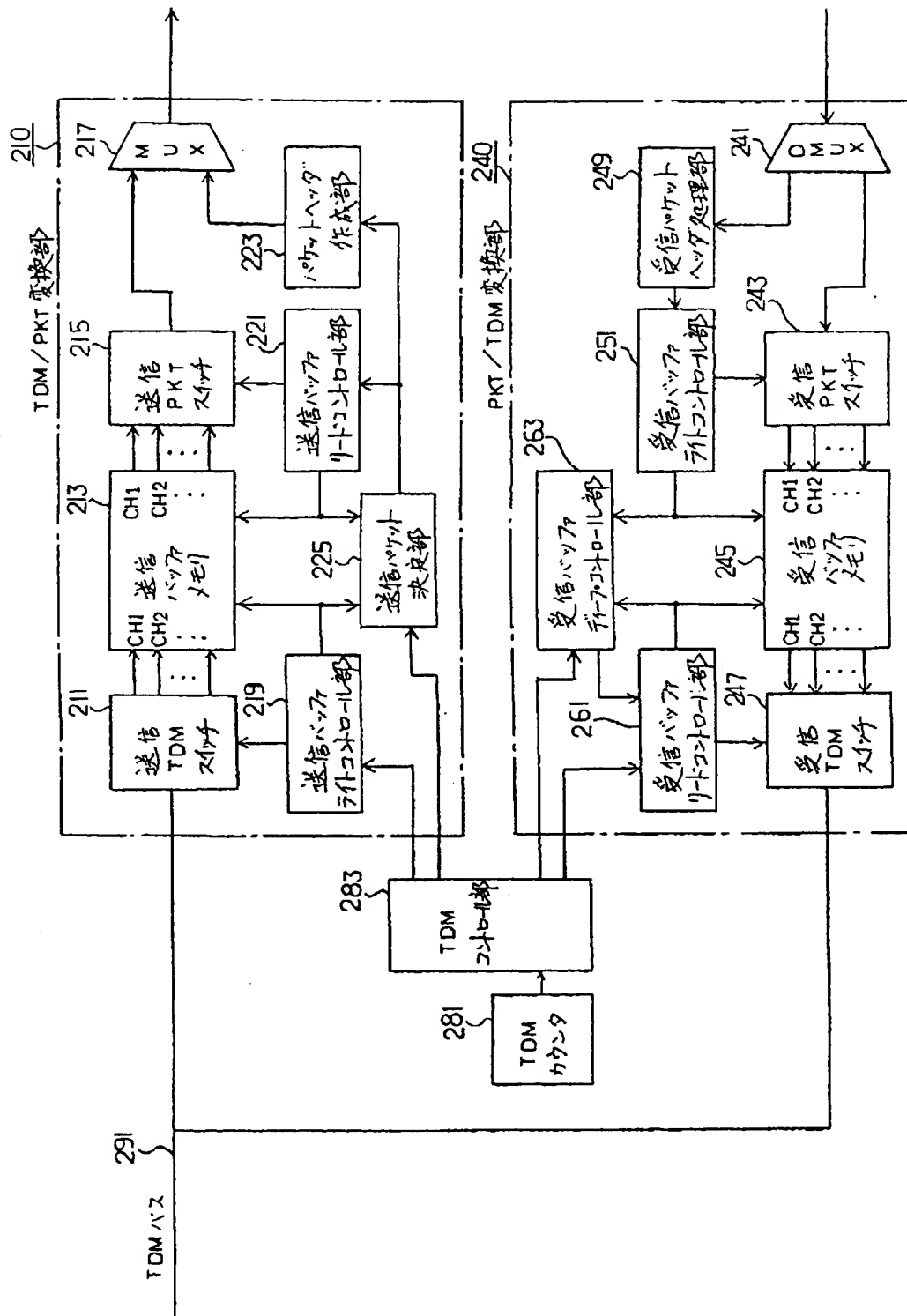
159は第2読み出し制御手段である。

【第1図】



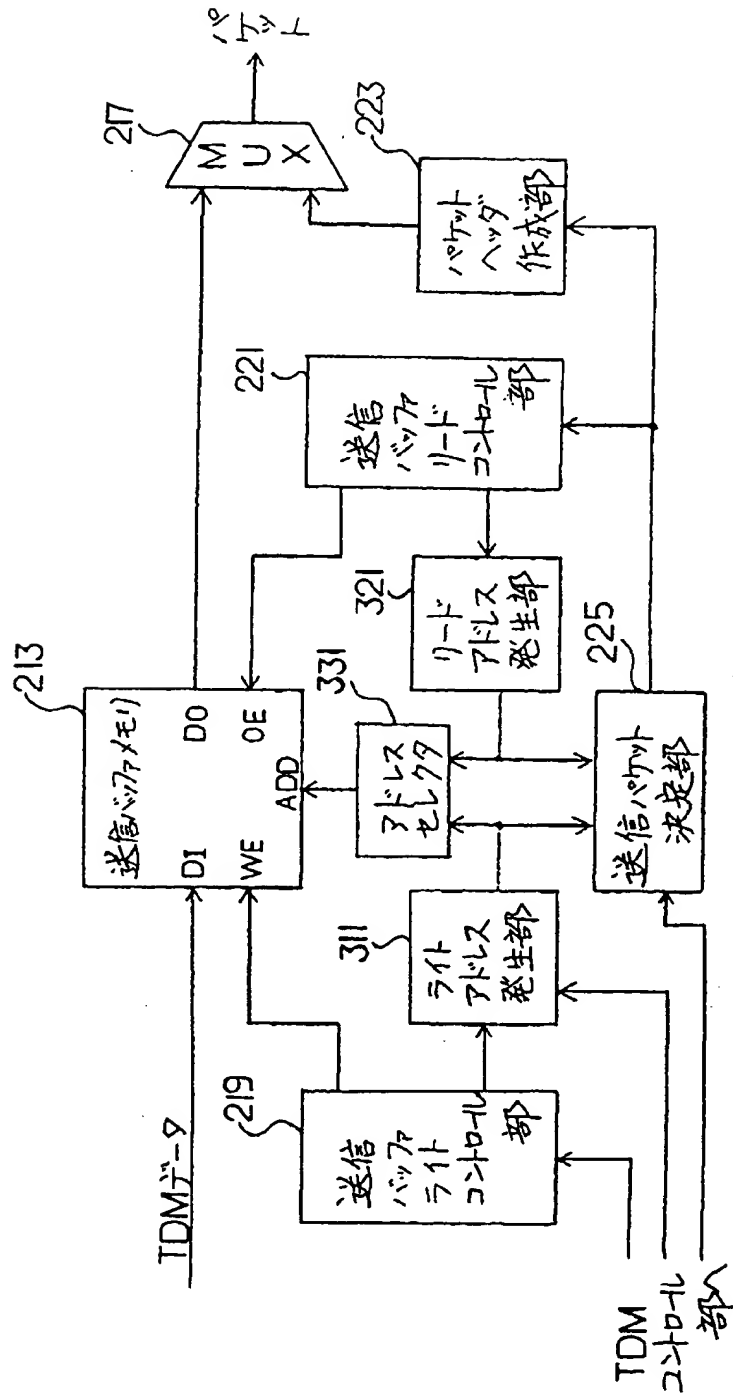
請求項1記載の発明の原理ブロック図

【第 2 図】



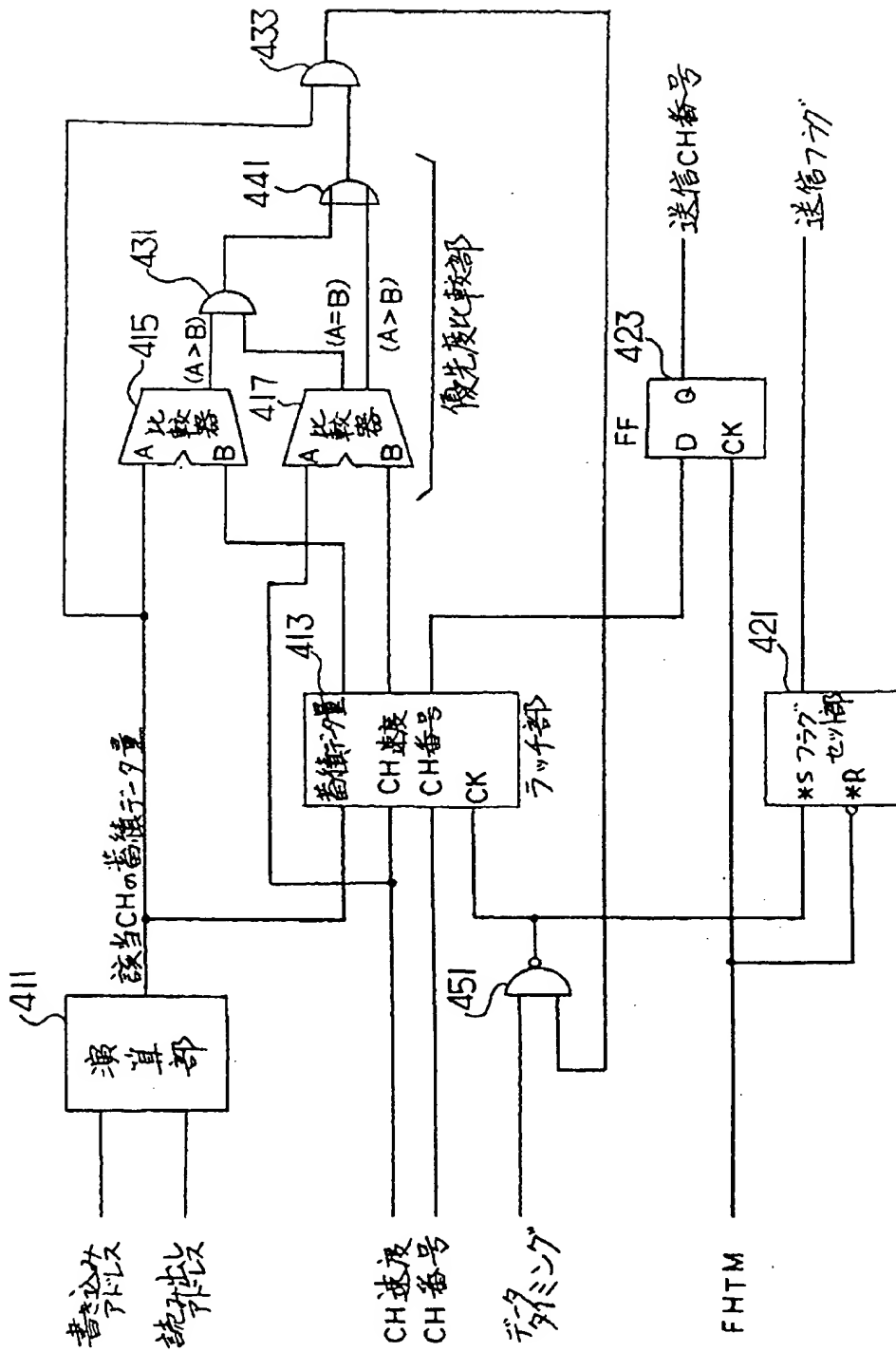
実施例の構成図

【第 3 図】



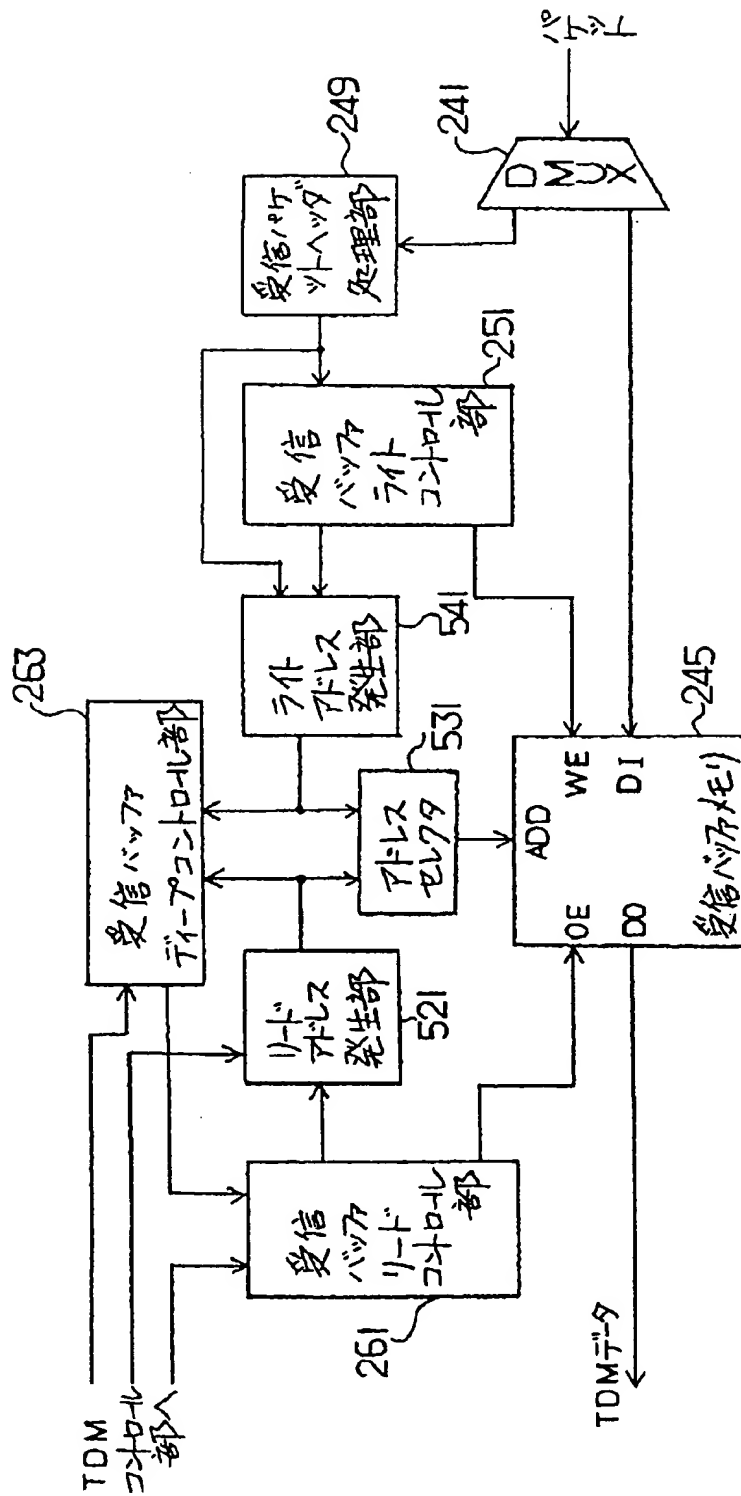
実施例の構成図

【第 4 図】



送信パケット決定部の詳細構成図

【第 5 図】



説明図

フロントページの続き

- (56)参考文献 特開 昭63-232544 (J P, A)
特開 昭62-266946 (J P, A)
特開 昭63-108832 (J P, A)
特開 昭63-310247 (J P, A)
特開 昭62-47241 (J P, A)
特開 平2-82845 (J P, A)
電子通信学会総合全国大会講演論文集
(分冊8), 1767 (1986-3-5),
P. 8-3